

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷

H01L 23/60

H01L 29/861

H01L 27/04



[12] 发明专利说明书

专利号 ZL 01144053.8

[45] 授权公告日 2005 年 11 月 9 日

[11] 授权公告号 CN 1226788C

[22] 申请日 2001.12.28 [21] 申请号 01144053.8

[30] 优先权

[32] 2000.12.28 [33] US [31] 09/749,377

[32] 2001.10.11 [33] US [31] 09/973,745

[71] 专利权人 财团法人工业技术研究院

地址 台湾省新竹县

[72] 发明人 张智毅 柯明道

审查员 杨子芳

[74] 专利代理机构 北京市柳沈律师事务所

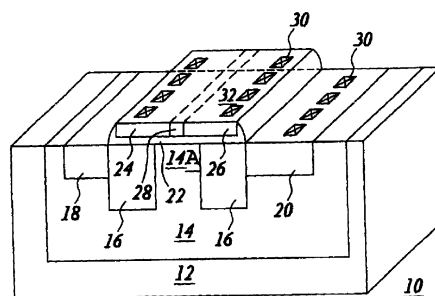
代理人 陶风波 侯 宇

权利要求书 4 页 说明书 16 页 附图 21 页

[54] 发明名称 静电放电防护装置及集成电路

[57] 摘要

一种包括静电放电防护电路的集成电路，包括至少一组含有一第一硅晶二极管与一第二硅晶二极管的双向硅晶二极管，其中第一硅晶二极管的一 n 型区域与第二硅晶二极管的一 p 型区域电耦合，第一硅晶二极管的一 p 型区域与第二硅晶二极管的一 n 型区域电耦合，其中该至少一组双向硅晶二极管对正的静电放电或负的静电放电信号反应，以提供静电放电防护，该静电放电防护电路还包括一第一隔离结构；以及一与第一隔离结构不直接相邻的第二隔离结构；其中该第一硅晶二极管的 p 型区域与该第一隔离结构重叠，且该第一硅晶二极管的 n 型区域与该第二隔离结构重叠。



ISSN 1008-4274

知识产权出版社出版

1. 一种静电放电防护装置, 包括:

5 至少一组包括一第一硅晶二极管与一第二硅晶二极管的双向硅晶二极管, 其中该第一硅晶二极管的一 n 型区域与该第二硅晶二极管的一 p 型区域电耦合, 该第一硅晶二极管的一 p 型区域与该第二硅晶二极管的一 n 型区域电耦合, 其中该至少一组双向硅晶二极管对正的静电放电或负的静电放电信号反应,

一第一隔离结构; 以及

10 一与第一隔离结构不直接相邻的第二隔离结构;

其中该第一硅晶二极管的 p 型区域与该第一隔离结构重叠, 且该第一硅晶二极管的 n 型区域与该第二隔离结构重叠。

2. 如权利要求 1 的静电放电防护装置, 其中该至少一组双向硅晶二极管包括一个或多个串接耦合的双向硅晶二极管。

15 3. 如权利要求 1 的静电放电防护装置, 其中该第一硅晶二极管包括一中央硅区域, 该中央硅区域置于该第一硅晶二极管 n 型区域与 p 型区域之间, 并且与该 n 型区域以及该 p 型区域相邻。

4. 如权利要求 1 的静电放电防护装置, 更进一步包括一位于阱区内的扩散区域, 该扩散区域与该第一隔离结构或该第二隔离结构其中一个相邻, 20 其中, 该扩散区域与该阱区所掺杂的杂质为相同形式。

5. 如权利要求 1 的静电放电防护装置, 更进一步包括:

一第三隔离结构; 以及

一与第三隔离结构不直接相邻的第四隔离结构;

25 其中该第二硅晶二极管的 p 型区域与该第三隔离结构重叠, 且该第二硅晶二极管的 n 型区域与该第四隔离结构重叠。

6. 如权利要求 5 的静电放电防护装置, 还包括一位于阱区内的扩散区域, 该扩散区域与该第三隔离结构或该第四隔离结构其中一个相邻, 其中, 该扩散区域与该阱区所掺杂的杂质为相同形式。

7. 如权利要求 1 的静电放电防护装置, 其中该第一硅晶二极管包括 n 30 个串联耦合硅晶二极管, 且该第二硅晶二极管包括 m 个串联耦合硅晶二极管, 其中 n 与 m 是介于 1 到无穷大的整数。

8. 如权利要求 7 的静电放电防护装置, 其中 n 不等于 m 。

9. 如权利要求 1 的静电放电防护装置, 更进一步包括一第一电压源与一第二电压源, 该组双向硅晶二极管的一端耦合至该第一电压源, 而另一端耦合至该第二电压源, 其中, 该第一电压源为 VDD, 而该第二电压源为 VSS。

10. 一种集成电路, 包括:

一信号焊垫;

一第一电压源; 以及

一耦合到该第一电压源的第一静电放电箝制电路, 具有至少一组双向硅晶二极管, 该双向硅晶二极管包括一第一硅晶二极管与一第二硅晶二极管, 其中该第一硅晶二极管的一 n 型区域与该第二硅晶二极管的一 p 型区域电耦合, 该第一硅晶二极管的一 p 型区域与该第二硅晶二极管的一 n 型区域电耦合, 且其中该至少一组双向硅晶二极管对正的静电放电或负的静电放电信号反应, 该第一静电放电箝制电路还包括一第一隔离结构; 以及一与第一隔离结构不直接相邻的第二隔离结构; 其中该第一硅晶二极管的 p 型区域与该第一隔离结构重叠, 且该第一硅晶二极管的 n 型区域与该第二隔离结构重叠。

11. 如权利要求 10 的集成电路, 其中该至少一组双向硅晶二极管包括一个或多个串接耦合的双向硅晶二极管。

12. 如权利要求 10 的集成电路, 其中该第一电压源为 VDD, 且该第一静电放电箝制电路耦合到该信号焊垫, 以提供人体模式、充电元件模式或机器模式的静电放电的防护。

13. 如权利要求 12 的集成电路, 还包括:

一第二静电放电箝制电路, 具有至少一组双向硅晶二极管, 该双向硅晶二极管包括一第三硅晶二极管与一第四硅晶二极管, 其中该第三硅晶二极管的一 n 型区域与该第四硅晶二极管的一 p 型区域电耦合, 该第三硅晶二极管的一 p 型区域与该第四硅晶二极管的一 n 型区域电耦合, 并且其中该第二静电放电箝制电路电耦合至一第一晶体管的一基体与一栅极, 以提供该第一晶体管至少充电元件模式的静电放电的防护。

14. 如权利要求 12 的集成电路, 进一步包括:

一第二静电放电箝制电路, 具有至少一组双向硅晶二极管, 该双向硅

晶二极管包括一第三硅晶二极管与一第四硅晶二极管，其中该第三硅晶二极管的一 n 型区域与该第四硅晶二极管的一 p 型区域电耦合，该第三硅晶二极管的一 p 型区域与该第四硅晶二极管的一 n 型区域电耦合，并且

5 其中该第二静电放电箝制电路一端耦合至 VDD，另一端耦合至该第一静电放电箝制电路。

15. 如权利要求 10 的集成电路，其中该第一电压源为 VSS，且该第一静电放电箝制电路耦合到该信号焊垫，以提供至少一种人体模式、充电元件模式或机器模式的静电放电的防护。

10 16. 如权利要求 10 的集成电路，其中该第一电压源为 VDD，且第一静电放电箝制电路耦合至一第一晶体管的一基体与一栅极，以提供该第一晶体管至少充电元件模式的静电放电的防护。

17. 如权利要求 16 的集成电路，进一步包括：

15 一第二静电放电箝制电路，具有至少一组双向硅晶二极管，该双向硅晶二极管包括一第三硅晶二极管与一第四硅晶二极管，其中该第三硅晶二极管的一 n 型区域与该第四硅晶二极管的一 p 型区域电耦合，该第三硅晶二极管的一 p 型区域与该第四硅晶二极管的一 n 型区域电耦合，并且

其中该第二静电放电箝制电路一端耦合至 VDD，另一端耦合至信号焊垫，以提供至少一种人体模式或机器模式的静电放电的防护。

20 18. 如权利要求 10 的集成电路，其中该第一电压源为 VSS，且该第一静电放电箝制电路一端耦合至一第二晶体管的一基体与该第一电压源，另一端耦合至一第二晶体管的一栅极，以提供该第二晶体管至少充电元件模式的静电放电的防护。

19. 如权利要求 18 的集成电路，进一步包括：

25 一第二静电放电箝制电路，具有至少一组双向硅晶二极管，该双向硅晶二极管包括一第三硅晶二极管与一第四硅晶二极管，其中该第三硅晶二极管的一 n 型区域与该第四硅晶二极管的一 p 型区域电耦合，该第三硅晶二极管的一 p 型区域与该第四硅晶二极管的一 n 型区域电耦合，并且其中该第二静电放电箝制电路一端耦合至 VDD 与该第一晶体管的该基体，另一端耦合至该第一晶体管的该栅极。

30 20. 如权利要求 19 的集成电路，其中该第一晶体管的该栅极耦合至该第二晶体管的该栅极。

21. 如权利要求 10 的集成电路, 进一步包括一耦合至该第一静电放电箝制电路的一第二电压源, 其中该第一电压源为 VDD, 该第二电压源为 VSS, 以提供静电放电防护。

22. 如权利要求 10 的集成电路, 进一步包括一耦合至该第一静电放电箝制电路的一第三电压源, 其中该第三电压源所提供的电压不同于该第一电压源所提供的电压。

23. 如权利要求 22 的集成电路, 其中该第三电压源提供 VDD 电源给一输出电路, 而该第一电压源提供 VDD 电源给一内部电路。

24. 如权利要求 22 的集成电路, 其中该第三电压源提供 VSS 电源给一输出电路, 而该第一电压源提供 VSS 电源给一内部电路。

静电放电防护装置及集成电路

5

技术领域

本发明涉及一种半导体集成电路，特别的是，利用双向硅晶二极管进行静电放电防护的方法和装置以及具有静电放电防护的集成电路。

10

背景技术

在易产生静电的环境中，半导体集成电路(Integrated Circuit, 以下简称 IC)经常会遭受静电放电的伤害，导致 IC 产生漏电或是损毁。静电放电(Electrostatic Discharge, 以下简称 ESD)是一种静电累积，在不同物体间静电电荷转移的一种现象。静电放电发生时的时间很短，为纳秒(nano-second)等级，而且在如此短的时间内会产生很高的电流，通常会高到数安培，这样高的电流一旦流经半导体集成电路，通常会使其受损。静电放电可能发生在 IC 的任意两个接脚(pin)之间，如下列几种情形(a)IC 的一个接脚与 VSS 接脚(提供接地信号)之间，(b)IC 的一个接脚与 VDD 接脚(提供电能)之间，(c)在不同的 IC 接脚之间，以及(d)VDD 接脚与 VSS 接脚之间，如图 1(a)到图 1(d)所示。常见的静电荷的累积来源包括人体与制造工艺用机器。目前已知元件遭受静电放电的情形可以用制定于工业标准的三种模式来表示，人体模式(Human Body Model, 缩写为 HBM)，机器模式(Machine Model, 缩写为 MM)，和充电元件模式(Charged Device Model, 缩写为 CDM)。这些静电放电模式虽然无法百分之百地真实模拟静电放电的发生情形，但也已足够用来建立静电放电耐受度数据的比较基准。

美国静电放电协会(ESD Association)标准中，在静电放电控制程式的发展项目内有一标准 ANSI/ESD-S20.20-1999(1999 年 8 月 4 日)，其提到机电电子零件、组装、与装备的防护，并提供前述三种静电放电模式的耐受度测试。人体静电放电模式代表静电从一个站立的人体的指尖传递到一个元件的导线。图 2 绘示了人体模式静电放电测试的等效电路，其中 100pF 电

容代表人体等效放电电容，1500 欧姆电阻代表人体等效放电电阻。电荷先储存于人体等效放电电容，再经由人体等效放电电阻放电到待测元件。此人体静电放电波形为一个上升时间为 2 到 10 纳秒的双指数函数波形，其脉冲宽度约为 150 纳秒。其中，当放电电压为 2000 伏特时，其放电电流约为 1.33 安培。相类似的测试参数也可见于其它工业标准，如 MIL-STD-883E method 3015.7(March 22, 1989)与 JEDEC Standard for Electrostatic Discharge (ESD) Sensitivity Testing Human Body Model (HBM), JESD22, A114-B (June 2000)。

机器模式的静电放电代表从阻值很低的路径快速放电，例如从一个金属缆线，一个自动测试机器的导体手臂。此模式的等效放电电容为 200pF，有一个等效放电电感 500nH，而其等效放电电阻约等于 0。其放电波形为一个衰减中的弦波波形，其上升时间约为 5 到 8 纳秒，其周期约为 80 纳秒，其放电电流峰值通常可达 8 安培以上。此机器模式也在工业标准 EIA/JEDEC Standard, Test Method A115-A for Electrostatic Discharge(ESD) Sensitivity Testing Machine Model(MM), EIA/JESD22-A115-A (October 1997)所提到。

充电元件模式的静电放电是与元件有很大的相依性，该模式描述的现象如下：一个元件因为摩擦、电场感应或者是其他因素而事先累积了静电荷于元件本身，当有一接地装置或具有较低电位的装置触碰到该元件，而发生电位平衡的静电放电现象。不同的元件材质、大小在相同的情况下会累积不同量的静电，所以充电元件模式的静电放电与元件有很大的相依性。其放电波形的上升时间通常小于 200pS (picoseconds, 兆分之一秒)，而整个放电波形约小于 2 纳秒，且放电电流峰值通常会高到数十安培。此充电元件模式可参考工业标准 JEDEC Standard, Field-Induced Charged-Device Model Test Method for Electrostatic-Discharge-Withstand Thresholds of Microelectronic Components, JESD22-C101-A(June2000)。

在一般商用应用中，一个元件的静电放电承受能力要能达到人体模式正负 2000 伏特，机器模式正负 200 伏特，与充电元件模式 1000 伏特。图 3 绘制了人体模式、机器模式、与充电元件模式的静电放电波形图。参考图 3，充电元件模式静电放电的放电电流峰值在不到一纳秒的时间内可以高到约 15 安培，而整个放电过程在约 10 纳秒内完成。

目前已有许多方法或设计被应用来保护集成电路使其免于静电放电伤

害或者提升其静电放电防护能力。一个常见的防护设计是使用寄生于 n 型金属氧化物半导体(metal-oxide semiconductor, MOS)元件的晶体管来进行静电放电防护, 该 n 型金属氧化物半导体元件的漏极接到焊垫(Pad), 而源极耦合到地(Ground)或 VSS 电源线。二极管或二极管耦合晶体管的设计则应用在射频(Radio Frequency, RF)集成电路的静电放电防护电路中。在 RF IC 中, 一个晶片上(on-chip)的静电放电防护电路必须要有下列特性: 强健的静电放电防护能力, 应用在输入保护(input protection)时要呈现最小的输入寄生电容, 而且该寄生电容与电压的相关性要越低越好。在有浅沟槽隔离(Shallow-Trench Isolation, 以下简称 STI)的深次微米互补式金属氧化物半导体(Complementary Metal-Oxide Semiconductor, 以下简称 CMOS)制造工艺技术中, 二极管被应用在静电放电防护设计电路中, 此二极管通常由邻近的高浓度 n 型扩散区(n+ diffusion region)及高浓度 p 型扩散区(p+ diffusion region)所形成, 且上述两个扩散区皆位于半导体“基底”(substrate)内, 参考图 4A, 一个 p+扩散区被 STI 所包围且藉以定义该 p+扩散区范围, 因此该藉由 STI 所形成的二极管被称为 STI 限定的二极管。此 STI 限定的二极管呈现了一个寄生的底部电容 $C_{\text{底部}}$ 。此种二极管被发现有严重的漏电流, 该漏电流来自于 p+扩散区上的金属硅化层(未绘制于图上)与包围 p+扩散区的 STI 的界面。

图 4B 绘示了另一个现有的二极管静电放电保护结构的剖面图, 此二极管被称为多晶硅限定的二极管。多晶硅限定的二极管的 p+扩散区范围的定义与 STI 限定的二极管不同, 多晶硅限定的二极管的 p+扩散区范围是藉由多晶硅所定义, 所以 p+扩散区没有与 STI 接触的介面, 因此没有漏电流的问题。然而, 此多晶硅限定的二极管的总寄生电容比 STI 限定的二极管要大。这是由于多了侧壁电容 $C_{\text{侧壁}}$ 所造成。

图 5 绘示了一个现有的利用双二极管结构的静电放电防护电路图。参考图 5, 藉由双二极管结构与电源线间静电放电箝制电路(VDD-to-VSS ESD clamp circuit)的结合, 提供了静电放电电流一个放电路径 2, 使静电放电电流不会流经内部电路, 也就是该结合而成的静电放电防护电路保护了内部电路不受静电放电所伤害。该电路动作情形简述如下: 当静电放电发生于焊垫 1 且焊垫 2 为接地时, 静电放电电流会经由顺偏的二极管 D_{p1} 到达低电阻值的 VDD 电源线, 再经由电源线间静电放电箝制电路将静电放电电流

导通至另一条低电阻值 VSS 电源线，最后，静电放电电流将通过另一个顺偏的二极管 Dn2，到达焊垫 2，流出此电路外。在此电路中，整个电路的输入电容主要是由二极管的接面电容所影响。从焊垫 1 看进去的输入电容 Cin 可以表示为

$$C_{in} = C_{p1} + C_{n1}$$

其中，Cp1 为二极管 Dp1 的等效寄生电容，而 Cn1 为二极管 Dn1 的等效寄生电容。

针对图 5 中的电路，图 6 中绘示了焊垫电压与电容值的关系图。参考图 6，当焊垫电压上升时，二极管 Dp1 的等效寄生电容上升，而二极管 Dn1 的等效寄生电容下降。因此，总输入电容 Cin 近乎为常数值而没有改变。这个特性对射频集成电路的应用是非常重要的。

发明内容

根据本发明，提供一种静电放电防护装置，包括：至少一组包括一第一硅晶二极管与一第二硅晶二极管的双向硅晶二极管，其中该第一硅晶二极管的一 n 型区域与该第二硅晶二极管的一 p 型区域电耦合，该第一硅晶二极管的一 p 型区域与该第二硅晶二极管的一 n 型区域电耦合，其中该至少一组双向硅晶二极管对正的静电放电或负的静电放电信号反应，一第一隔离结构；以及一与第一隔离结构不直接相邻的第二隔离结构；其中该第一硅晶二极管的 p 型区域与该第一隔离结构重叠，且该第一硅晶二极管的 n 型区域与该第二隔离结构重叠。

优选地，该至少一组双向硅晶二极管包括一个或多个串接耦合的双向硅晶二极管。

根据本发明，还提供一种集成电路，包括：一信号焊垫；一第一电压源；以及一耦合到该第一电压源的第一静电放电箝制电路，具有至少一组双向硅晶二极管，该双向硅晶二极管包括一第一硅晶二极管与一第二硅晶二极管，其中该第一硅晶二极管的一 n 型区域与该第二硅晶二极管的一 p 型区域电耦合，该第一硅晶二极管的一 p 型区域与该第二硅晶二极管的一 n 型区域电耦合，且其中该至少一组双向硅晶二极管对正的静电放电或负的静电放电信号反应，该静电放电箝制电路还包括一第一隔离结构；以及一

与第一隔离结构不直接相邻的第二隔离结构；其中该第一硅晶二极管的 p 型区域与该第一隔离结构重叠，且该第一硅晶二极管的 n 型区域与该第二隔离结构重叠。

5 在本发明的一个方面，该第一电压源为 VDD，且第一静电放电箝制电路耦合到信号焊垫，以提供人体模式、充电元件模式或机器模式的静电放电的防护。

10 在本发明的另一个方面，进一步包括一个第二静电放电箝制电路，具有至少一组双向硅晶二极管，该双向硅晶二极管包括一第三硅晶二极管与一第四硅晶二极管，其中第三硅晶二极管的一 n 型区域与第四硅晶二极管的一 p 型区域电耦合，第三硅晶二极管的一 p 型区域与第四硅晶二极管的一 n 型区域电耦合，并且，其中第二静电放电箝制电路电耦合至一第一晶体管的基体与栅极，以提供第一晶体管至少充电元件模式的静电放电的防护。

15 在本发明的又一个方面，该第一电压源为 VSS，且第一静电放电箝制电路耦合到信号焊垫，以提供至少一种人体模式、充电元件模式或机器模式的静电放电的防护。

在本发明的又再一个方面，该第一电压源为 VDD，且第一静电放电箝制电路耦合至一第一晶体管的基体与栅极，以提供第一晶体管至少充电元件模式的静电放电的防护。

20 又在本发明的再一个方面，进一步包括一耦合至第一静电放电箝制电路的第二电压源，其中第一电压源为 VDD，第二电压源为 VSS，以提供静电放电防护。

必须了解的是，前述的概述以及之后的详细说明是示范性的以及说明性的，以进一步解释本发明主张的权利要求的范围。

25 为使本发明的上述目的、特征、和优点能更明显易懂，下文特举一优选实施例，并配合附图，作详细说明如下：

附图说明

30 图 1A 到 1D 绘示的是在集成电路中，静电放电可能发生的几种情形；图 2 绘示的是人体模式静电放电等效电路图；

图 3 绘示的是人体模式、机器模式、与充电元件模式的静电放电波形图；

图 4A 绘示的是一个现有的制作于集成电路中的二极管剖面图；

图 4B 绘示的是另一个现有的制作于集成电路中的二极管剖面图；

5 图 5 绘示的是一个现有的静电放电防护电路图；

图 6 绘示的是在图 5 中，焊垫电压对输入寄生电容的关系图；

图 7 绘示的是，根据本发明精神的硅晶二极管的剖面图；

图 8 绘示的是，根据本发明精神的另一硅晶二极管的剖面图；

10 图 9 绘示的是，根据本发明精神的制作于绝缘体上硅晶片的硅晶二极管的剖面图；

图 10 绘示的是，根据本发明精神的制作于绝缘体上硅晶片的硅晶二极管的俯视图；

图 11A 到 11H 绘示的是根据本发明精神的具有 n 型中间区域的硅晶二极管的制造方法；

15 图 12A 到 12H 绘示的是根据本发明精神的具有 p 型中间区域的硅晶二极管的一种制造方法；

图 13 绘示的是，相对应本发明的硅晶二极管的电路符号；

图 14 绘示的是，根据本发明精神，利用双硅晶二极管元件所设计的静电放电防护电路图；

20 图 15A 绘示的是，图 14 中的焊垫电压与个别硅晶二极管的电容量关系图；

图 15B 绘示的是，图 14 中的焊垫电压与总硅晶二极管的电容量关系图；

图 16A 绘示的是，根据本发明精神，利用硅晶层二极管元件所设计的静电放电防护电路图；

25 图 16B 绘示的是，根据本发明精神，利用堆叠硅晶层二极管元件所设计的静电放电防护电路图；

图 16C 绘示的是，根据本发明精神，利用串联硅晶层二极管元件所设计的静电放电防护电路图；

30 图 17 绘示的是，根据本发明精神，利用偏压的双硅晶二极管元件所设计的静电放电防护电路图；

图 18 绘示的是，个别硅晶二极管与串联硅晶二极管的电压电流特性图；

图 19 绘示的是, 根据本发明精神, 利用双向硅晶二极管所设计的静电放电防护电路图;

图 20 绘示的是, 根据本发明精神, 利用双向硅晶二极管所设计的另一静电放电防护电路图;

5 图 21 绘示的是, 根据本发明精神, 利用双向硅晶二极管所设计的又一静电放电防护电路图; 以及

图 22 绘示的是, 根据本发明精神, 利用双向硅晶二极管所设计的耐高电压的静电放电防护电路图。

10 附图标号说明

- 10、200、34、300: 集成电路
- 12、202、36、112: 半导体基底
- 14、114: 阱区
- 15 14A: 部分阱区
- 16、42、44、116: 隔离结构
- 18、20: 扩散区
- 22、158: 介电层
- 24、208、50: p 型部分
- 20 26、210、48: n 型部分
- 28、212: 中间部分
- 32、206、132: 硅晶层
- 204、38: 绝缘层
- 40: 第一硅晶层
- 25 52: 第二硅晶层
- 46: 部分第一硅晶层
- 54、30、130: 接触孔
- 56、64、66、156、168、170、172: 光致抗蚀剂
- 58: 介电层
- 30 62、162: 侧壁
- 25、124: 第一部分

- 120、125、126: 部分
- 4: 静电放电电流
- 6: 电源线间静电放电箝制电路
- 302: 信号焊垫
- 5 304-1、304-2、306-1、306-2、312-1: 静电放电防护电路
- 308: PMOS
- 310: NMOS
- 308-1、310-1: 基体
- 308-2、310-2: 栅极
- 10 308-3、310-4: 源极
- 308-4、310-3: 漏极

具体实施方式

- 15 根据本发明的精神, 提供一种双向硅晶二极管以设计包括正负向的静电放电的防护电路。此双向硅晶二极管包括至少一对反极性相耦合的硅晶二极管, 亦即一硅晶二极管的 n 型区域与另一硅晶二极管的 p 型区域电耦合, 反之亦然。与现有二极管不同的是, 硅晶二极管没有底部接面电容, 所以其寄生电容相对较小。除此之外, 由于硅晶二极管是置于半导体基底的 STI 之上, 没有基体漏电流, 也不会占用硅面积, 可以节省成本。此外, 本发明的硅晶二极管还可额外增加功能, 可在 RF IC 的应用中更有设计弹性。

- 图 7 绘示的是, 根据本发明精神的一种硅晶层二极管的倾斜俯视图。参考图 7, 集成电路 10 包括半导体基底 12 与制作于半导体基底 12 内的阱区 14, 一隔离结构 16 环绕部分阱区 14A。隔离结构可以是 STI 或者是场氧化层(Field Oxide)。集成电路 10 也包括一邻近于隔离结构 16 的扩散区 20。扩散区 20 与阱区 14 可以掺杂同型的杂质。集成电路 10 可能也包括一邻近于隔离结构 16 的扩散区 18。在一优选实施例中, 半导体基底 12 为一个 p 型基底, 阱区 14 为 n 型阱区, 而扩散区 20 为一个 n 型扩散区。可能有的扩散区 18 为一个 p 型扩散区。

一层介电层 22 置于阱区 14 之上, 此介电层 22 尚覆盖于隔离结构 16

以及一部分阱区 14A。在一优选实施例中，介电层 22 为氧化层。一层硅晶层 32 置于介电层 22 之上，此硅晶层 32 接下来会成为硅晶二极管。在一优选实施例中，硅晶层 32 为多晶硅层。在另一优选实施例中，硅晶层 32 为单晶硅层。硅晶层 32 包括了一个 p 型部分 24、一个 n 型部分 26、以及一个位于 p 型部分 24 与 n 型部分 26 之间的中间部分 28。p 型部分 24 与 n 型部分 26 位于隔离结构 16 上方，而中间部分 28 位于部分阱区 14A 上方。在一优选实施例中，硅晶层 32 的中间部分 28 为掺杂 n 型杂质，且其浓度较 n 型部分 26 的 n 型杂质浓度低。在另一优选实施例中，硅晶层 32 的中间部分 28 为掺杂 p 型杂质，且其浓度较 p 型部分 24 的 p 型杂质浓度低。在又另一优选实施例中，硅晶层 32 的中间部分 28 为无掺杂。多个接触孔 (contact) 30 置于扩散区 20、p 型部分 24、与 n 型部分 26 之上。

在操作方面，硅晶二极管可对静电放电信号进行反应，提供静电放电防护功能。更进一步，阱区 14 可以被偏压用来控制硅晶二极管。在一优选实施例中，扩散区 20 可以传递信号给阱区 14，以控制硅晶二极管来提供静电放电防护功能。

图 8 绘示了根据本发明精神的另一个硅晶二极管的剖面图。参考图 8，一集成电路 200 包括了一个半导体基底 202、一绝缘层 204、与一位于绝缘层 204 上方的硅晶层 206。在一优选实施例中，绝缘层 204 为 STI 结构。在另一优选实施例中，绝缘层 204 为场氧化层结构。硅晶层 206 包括一个 p 型部分 208 与邻近于 p 型部分 208 的 n 型部分 210。在一优选实施例中，集成电路 200 更进一步包括一介电层置于硅晶层 206 与绝缘层 204 之间(没有绘出)。硅晶层 206 可能还包括一个位于 p 型部分 208 与 n 型部分 210 之间的中间部分 212。在一优选实施例中，硅晶层 206 的中间部分 212 为掺杂 n 型杂质，且其浓度较 n 型部分 210 的 n 型杂质浓度低。在另一优选实施例中，硅晶层 206 的中间部分 212 为掺杂 p 型杂质，且其浓度较 p 型部分 208 的 p 型杂质浓度低。在又另一优选实施例中，硅晶层 206 的中间部分 212 为无掺杂。此硅晶二极管置于半导体基底 202 的 STI 之上，故与半导体基底 202 没有接面，故没有基底漏电流(substrate leakage)，也可抑制基底噪声(substrate noise)。

图 9 绘示的是，根据本发明精神的制作于 SOI(Silicon-On-Insulator)晶片的硅晶二极管的剖面图。参考图 9，集成电路 34 包括 SOI 半导体基底 36、

一绝缘层 38、一第一硅晶层 40 与一第二硅晶层 52。其中绝缘层 38 置于半导体基底 36 上方，隔离结构 42 与隔离结构 44 制作于第一硅晶层 40 内并包围部分第一硅晶层 46，此部分第一硅晶层 46 是为基体(Base)部分。在一个优选实施例中，半导体基底 36 为 p 型基底，隔离结构 42 与隔离结构 44 为 STI 结构，第二硅晶层 52 为一多晶硅层。

一介电层(没有绘出)置于第一硅晶层 40 与一第二硅晶层 52 之间。第二硅晶层 52 包括一 n 型部分 48 与一 p 型部分 50。n 型部分 48 位于隔离结构 42 上方，而 p 型部分 50 位于隔离结构 44 上方。第二硅晶层 52 可进一步包括一个位于 n 型部分 48 与 p 型部分 50 之间的中间部分(没有绘出)，此中间部分位于基体部分 46 的上方。集成电路 34 可进一步包括一个扩散区(没有绘出)邻近于隔离结构 42 与隔离结构 44 其中之一，且位于第一硅晶层 40 之内。集成电路 34 尚包括多个接触孔 54。

在操作方面，制作于 SOI 晶片的硅晶二极管可对静电放电信号进行反应，提供静电放电防护功能。SOI 集成电路 34 内的绝缘层 38 则提供了元件隔离的功能。基体部分 46 可以被偏压用来控制硅晶层二极管以提供静电放电防护功能。因此，此实施例可适当的被命名为 SOI 硅晶二极管。图 10 绘示了与图 9 相对应的俯视图。图 9 为图 10 沿着 A-A'方向的剖面图。

图 11A 到图 11H 绘示的是，利用剖面图显示制作本发明的硅晶二极管的方法。参考图 11A，提供一半导体基底 12。在一优选实施例中，半导体基底 12 为 p 型基底。接下来，图 11B 绘示了隔离结构 16 形成于半导体基底 12 内。通常，隔离结构 16 为 STI 结构，是经由一光刻腐蚀制作工艺定义其在半导体基底的位置，再经由蚀刻制作工艺蚀刻出一浅沟槽，再填入硅氧化物或其他具有绝缘性的物质而成。

图 11C 为阱区 14 形成于半导体基底 12 内，经由一光刻腐蚀制作工艺定义阱区 14 位置，不是阱区 14 的位置则由光致抗蚀剂 56 阻挡，配合离子注入(ion implantation)制作工艺，形成阱区 14。然后再将光致抗蚀剂 56 去除。在一优选实施例中，阱区为一 n 型阱区。图 11B 与图 11C 的顺序可以互换，仍然可以形成同样的结构。

图 11D 绘示形成硅晶层二极管的开始。参考图 11D，一介电层 58 形成于阱区上 14 之上，然后再形成一硅晶层 32 于介电层 58 之上。再经由光刻腐蚀制作工艺定义出硅晶层的图案(pattern)，通常，传统制作工艺步骤会形

成一侧壁(spacer)62 邻近于硅晶层 32。侧壁 62 通常可能为硅氧化物或其他具有绝缘性的物质。

参考图 11E, 利用光刻腐蚀制作工艺定义出硅晶层 32 上的第一部分 25 与半导体基底 12 上的第一注入区 20。第一部分 25 将有部分会成为硅晶二极管的中间部分。第一注入区 20 位于阱区 14 之内。然后进行第一离子注入制作工艺, 如图 11E 所示, 然后再将光致抗蚀剂 64 去除。在一优选实施例中, 第一离子注入制作工艺为 n 型的轻掺杂漏极(Lightly-Doped Drain, 简称 LDD)制作工艺, 此步骤可以制作硅晶二极管的 n 型中间部分。

参考图 11F, 再利用光刻腐蚀制作工艺定义出硅晶层 32 上的一部分 26 以及阱区 14 的一部分 20, 然后进行第二离子注入制作工艺。然后再将光致抗蚀剂 65 去除。在一优选实施例中, 第二离子注入制作工艺为 N 型漏极源极注入制作工艺。此步骤可以提供与阱区 14 的信号连结, 并且完成硅晶二极管的 n 型部分与 n 型的中间部分 28。

参考图 11G, 再利用光刻腐蚀制作工艺定义出硅晶层 32 上的第三注入区一部分 24。然后进行第三离子注入制作工艺。并将光致抗蚀剂 66 去除。在一优选实施例中, 第三离子注入制作工艺为 p 型漏极源极离子注入(p-type Drain/Source implantation)制作工艺。此步骤可以完成硅晶二极管的 p 型部分。通常, 接下来传统制作工艺会形成多个接触孔 30, 如图 11H 所示, 以完成对硅晶二极管元件的电连结。同样的, 类似上述图 11A 到图 11H 利用剖面图显示制作本发明的硅晶二极管的方法, 图 12A 到图 12H 绘示了中间部分为 p 型部分的硅晶二极管的制作方法。参考图 12A, 提供一半导体基底 112, 在一优选实施例中, 半导体基底 112 为 p 型基底。接下来, 图 12B 绘示了隔离结构 116 形成于半导体基底 112 内。通常, 隔离结构 116 为 STI 结构, 是经由一光刻腐蚀制作工艺定义其在半导体基底 112 的位置, 再经由蚀刻制作工艺蚀刻出一浅沟槽, 再填入硅氧化物或其他具有绝缘性的物质而成。图 12C 阱区 114 形成于半导体基底 112 内, 经由一光刻腐蚀制作工艺定义阱区 114 位置, 非阱区 114 的位置则由光致抗蚀剂 156 阻挡, 配合离子注入制作工艺, 形成阱区 114, 然后再将光致抗蚀剂 156 去除。在一优选实施例中, 阱区 114 为一 n 型阱区。图 12B 与图 12C 的顺序可以互换, 仍然可以形成同样的结构。

图 12D 绘示形成硅晶二极管的开始, 参考图 12D, 一介电层 158 形成

于基底 112 之上,然后再形成一硅晶层 132 于介电层 158 之上,再经由光刻腐蚀制作工艺定义出硅晶层的图案,再进行蚀刻制作工艺,留下图中的硅晶层 132 部分。通常,传统制作工艺步骤会再形成一邻近于硅晶层 132 的侧壁 162。侧壁 162 通常可能为硅氧化物或其他具有绝缘性的物质。是否形成侧壁 162 或者侧壁使用何种材质并不影响本发明的硅晶二极管。

参考图 12E,利用光刻腐蚀制作工艺定义出硅晶层 132 与半导体基底 112 上的第一部分 124。此第一部分 124 会有一部分将成为硅晶二极管的中间部分。然后进行第四离子注入制作工艺,如图 12E 所示,然后再将光致抗蚀剂 168 去除。在一优选实施例中,第四离子注入制作工艺为 p 型的轻掺杂漏极制作工艺。参考图 12F,再利用光刻腐蚀制作工艺定义出硅晶层 132 上的一部份 126 以及阱区 114 的一部分 120,然后进行第五离子注入制造工艺。然后再将光致抗蚀剂 170 去除。在一优选实施例中,第五离子注入制造工艺为 N 型漏极源极制造工艺。此步骤可以提供与阱区 114 的信号连结,并且完成硅晶二极管的 n 型部分与 p 型的中间部分 128。

参考图 12G,再利用光刻腐蚀制造工艺定义出硅晶层 132 上的第六注入区一部分 125。然后进行第六离子注入制造工艺。并将光致抗蚀剂 172 去除。在一优选实施例中,第六离子注入制造工艺为 p 型漏极源极离子注入制造工艺。此步骤可以完成硅晶二极管的 p 型部分。通常,接下来传统制造工艺会形成多个接触孔 130,如图 12H 所示,以完成对硅晶二极管元件的电连结。

对于使用 SOI 晶片技术来制作本发明的硅晶二极管,上述的制作方法必须有所修改,然而,需要修改的步骤只是那些与形成硅晶层二极管无关的一些步骤。需要修改的步骤预期为上述形成阱区之前的步骤,如此仍可完成硅晶层二极管。

图 13 绘示的是根据本发明精神的硅晶二极管的电路符号示意图。此符号是以提供有基体偏压功能的硅晶二极管为例,事实上,在后续发明实施例中,无基体偏压功能的硅晶二极管(如图 8 所示),也都适用。

参考图 14,图中为利用双硅晶二极管所设计的一个静电放电防护电路。此双硅晶二极管电路提供了静电放电电流的放电路径,保护了内部电路使其不受静电放电的伤害。当静电放电发生于焊垫 1 且焊垫 2 为接地时,静电放电电流 4 会经过 VDD 电源线与焊垫 1 之间的硅晶二极管 SD1 而流到

VDD 电源线，再经过电源线间静电放电箝制电路(VDD-TO-VSS ESD CLAMP CIRCUIT)6 流到 VSS 电源线，最后再经过 VSS 电源线与焊垫 2 之间的硅晶二极管 SD4 流到焊垫 2 排出集成电路外。在此电路中，基体偏压的硅晶二极管与硅晶二极管皆可达到类似的防护功能。

- 5 所以，本发明的精神也包括保护集成电路免于静电放电伤害的方法。该方法包括提供一种信号给集成电路元件，该集成电路元件包括最少一个硅晶二极管来对该信号做反应，以提供静电放电防护功能，使集成电路免于遭受静电放电伤害。同样类似的，本发明也包括保护 SOI 集成电路免于静电放电伤害的方法。该方法包括了提供一种信号给 SOI 集成电路元件，
- 10 该 SOI 集成电路元件包括最少一个 SOI 硅晶二极管来对该信号做反应，以提供静电放电防护功能，使 SOI 集成电路免于遭受静电放电伤害。

图 15A 绘示的是焊垫电压与个别二极管元件寄生电容量关系图。其中 Dp1 与 Dn1 代表图 5 中现有二极管，而 SD1 与 SD2 为图 14 中的硅晶二极管。由于根据本发明的精神的硅晶二极管无侧边电容且底部电容相较现有二极管要低，且二极管特性也类似，因此图中曲线类似，但电容值较低。

15 图 15B 为静电放电防护电路中的总输入电容与焊垫电压关系图。由于单一硅晶二极管的电容值较现有二极管低，因此总输入电容也相对较低，大约降低了一半的电容值。

此总输入电容或称输入寄生电容可以进一步利用电容串联效应来进一步的降低。图 16A 为根据本发明精神，利用硅晶二极管元件所设计的静电放电防护电路图。假设每个硅晶二极管的寄生电容值为 C ，则此电路的输入寄生电容(图中符号为 C_{in})的值为 $2C$ 。图 16B 为根据本发明精神，利用堆叠硅晶二极管元件所设计的静电放电防护电路图。根据电容串联以及并联的基本物理特性，此电路的输入寄生电容的值为 C ，为图 16A 电路一半的值。

20 更进一步，参考图 16C，根据本发明精神，利用串联硅晶二极管元件所设计的静电放电防护电路图。此电路在焊垫上下皆串联了 n 个硅晶二极管，因此，此电路的输入寄生电容的值为 $2C/n$ ，其中 n 为硅晶二极管的个数。在上述电路中，基体偏压的硅晶二极管与硅晶二极管皆可达到串联降低电容的效果。

30 根据本发明精神，上述电路更进一步包括一个侦测 - 偏压电路。参考图 17，此侦测 - 偏压电路 86 包括一个电阻 R 以及一个电容 C 置于电源线

VDD 及电源线 VSS 之间，还有一个 PMOS Mp 与一个 NMOS Mn 置于电源线 VDD 及电源线 VSS 之间，其中 PMOS 与 NMOS 的漏极相互连接并可提供信号，NMOS 源极接电源线 VSS，PMOS 源极接电源线 VDD，PMOS 与 NMOS 的栅极相连且与电阻电容相连。当静电放电发生时，此侦测 - 偏压

5 电路可提供一偏压信号给基体偏压的硅晶二极管，以加速基体偏压的硅晶二极管导通，保护内部电路不受静电放电伤害。

根据本发明精神，双向硅晶二极管包括一对硅晶二极管，其中第一硅晶二极管的一个 n 型区域与第二硅晶二极管的一个 p 型区域电耦合，第一硅晶二极管的一个 p 型区域与第二硅晶二极管的一个 n 型区域电耦合，使

10 该双向硅晶二极管对正的静电放电或负的静电放电信号反应。除此之外双向硅晶二极管可以包括 n 对相同耦合方式的硅晶二极管串联在一起。其中，n 为整数，介于 1 到无限大之间。尚且，在同一方向串联的硅晶二极管的个数不必相等于另一个方向串联的硅晶二极管的个数。换句话说，双向硅晶二极管也许包括 1 个硅晶二极管并联耦合至另 2 个串接硅晶二极管。

图 18 绘示了个别硅晶二极管与串联硅晶二极管的部分范围电压电流特性图。此为利用多晶硅制作硅晶二极管的实施例。从横轴可以得到双向硅晶二极管的触发电压，纵轴则显示了电流。从图 18 中可以看到，四个个别的多晶硅二极管 PD1、PD2、PD3、与 PD4 的顺偏电压电流特性，以及，将此四个多晶硅二极管串接在一起的顺偏电压电流特性。可以看到，导通电压

15 20 压加成可直接加成而不失真，依此设计的双向硅晶二极管可有效的控制导通电压，仅需控制串接硅晶二极管的个数。

图 19 绘示的是，根据本发明精神的一个实施例，利用双向硅晶二极管所设计的静电放电防护电路图。参考图 19，一个集成电路 300 包括了一个信号焊垫 302、四个静电放电防护电路 304-1、304-2、306-1、306-2，一个

25 PMOS 308、以及一个 NMOS 310。PMOS 308 包括了一个基体 308-1、一个栅极 308-2、一个耦合到 VDD 电压源的源极 308-3、以及耦合到内部电路的漏极 308-4。NMOS 310 包括了一个基体 310-1、一个栅极 310-2、一个耦合到 VSS 电压源的源极 310-4、以及耦合到漏极 308-4 的漏极 310-3。静电放电防护电路 304-1 耦合到信号焊垫 302 与 VDD 电源线。静电放电防护电路 304-2 耦合到信号焊垫 302 与 VSS 电源线。静电放电防护电路 306-1 耦合到

30 PMOS 308 的栅极 308-2 与基体 308-1。静电放电防护电路 306-2 耦合到

NMOS 310 的栅极 310-2 与基体 310-1。信号焊垫 302 可以是输入焊垫、输出焊垫、电源焊垫、或其他会接触到人体模式、机器模式、或充电元件模式静电放电的焊垫。当静电放电防护电路 304-1、304-2、306-1、306-2 被静电放电触发时，图 19 中的箭头表示了可能的静电放电电流流向。

- 5 在操作方面，当人体模式或机器模式的静电放电发生于信号焊垫 302 时，静电放电防护电路 304-1、304-2 是为静电放电箝制电路，用以保护集成电路 300 免于静电放电伤害。当充电元件模式静电放电发生时，静电放电防护电路 306-1、306-2 则用以保护 PMOS 308 与 NMOS 310 免于静电放电伤害。每个静电放电防护电路 304-1、304-2、306-1、306-2 包括了至少一
- 10 组根据本发明的双向硅晶二极管。在实施的时候，此静电放电防护电路可保护集成电路 300 免于外来的静电放电伤害，如人体模式或机器模式静电放电，且可免于由内而外的静电放电伤害，如充电元件模式静电放电。

- 在一实施例中，每一个静电放电防护电路包括了串联多个根据本发明的双向硅晶二极管。其串联的个数是依照电路在非静电放电情况时所
- 15 隔离的电压信号所决定。举例来说，如果在正常工作时，信号焊垫会接收 3 伏特的信号，则需要隔离的信号则要高于 3 伏特。假设需要隔离的信号为 4.5 伏特而每一个硅晶二极管的导通电压为 0.6 伏特，则 8 个顺偏串联硅晶二极管总共导通电压 4.8 伏特可以使用在此电路在逆偏工作的硅晶二极管则仅需 1 个或 2 个串联即可，因为逆偏崩溃电压即可高于 4.5 伏特。

- 20 参考图 14，该电源线间静电放电箝制电路也可使用本发明的双向硅晶二极管，并配合图 19(或图 20、图 21、以及图 22)的电路，以更增进静电放电防护能力。

- 图 20 绘示的是，根据本发明精神，利用双向硅晶二极管所设计的另一静电放电防护电路图，应用在多组电源的应用中。在多组电源的应用中，
- 25 电源间常会互相隔离，用以消除噪声的耦合。但是，这同时也使静电放电电流无法经由电源线排除，使其容易导致集成电路内部伤害。根据本发明的精神，双向硅晶二极管可以用来连接两个隔离的电源线，可重建静电放电电流路径。双向硅晶二极管的串联个数可用以控制需隔离的噪声等级。参考图 20，静电放电防护电路 312-1 耦合了一输出 VDD 电压源 VDD_I/O
- 30 与内部 VDD 电压源 VDD_Internal(内部)，而静电放电防护电路 312-2 耦合了一输出 VSS 电压源 VSS_I/O 与内部 VSS 电压源 VSS_Internal。而静电

放电防护电路 314 则提供了类似图 19 中静电放电防护电路 306-1 及 306-2 的充电元件模式静电放电防护功能。

同理，本发明的双向硅晶二极管可应用在模拟电路以提供静电放电防护，如图 21 所示，以及，本发明的双向硅晶二极管也可应用在耐高电压输入输出电路(high-voltage tolerant I/O circuit)，如图 22 所示。此耐高电压输入输出电路为现有电路可参考下列文献：Sanchez et al, “A Versatile 3.3/2.5/1.8-V CMOS I/O Driver Built in a 0.2- μ m, 3.5-nm Tox, 1.8-V CMOS Technology,” IEEE Journal of Solid-State Circuits, vol. 34, no. 11, pp. 1501-1511. 以及 Singh et al., “High-Voltage-Tolerant I/O Buffers with Low-Voltage CMOS Process,” IEEE Journal of Solid-State Circuits, vol. 34, no.11, pp. 1512-1525. 此二文献已包括在此文件以供参考。

综上所述，虽然本发明已结合一优选实施例揭露如上，然而其并非用以限定本发明，本领域的技术人员在不脱离本发明的精神和范围内，可作出各种更动与润饰，因此本发明的保护范围应当由后附的权利要求范围所界定。

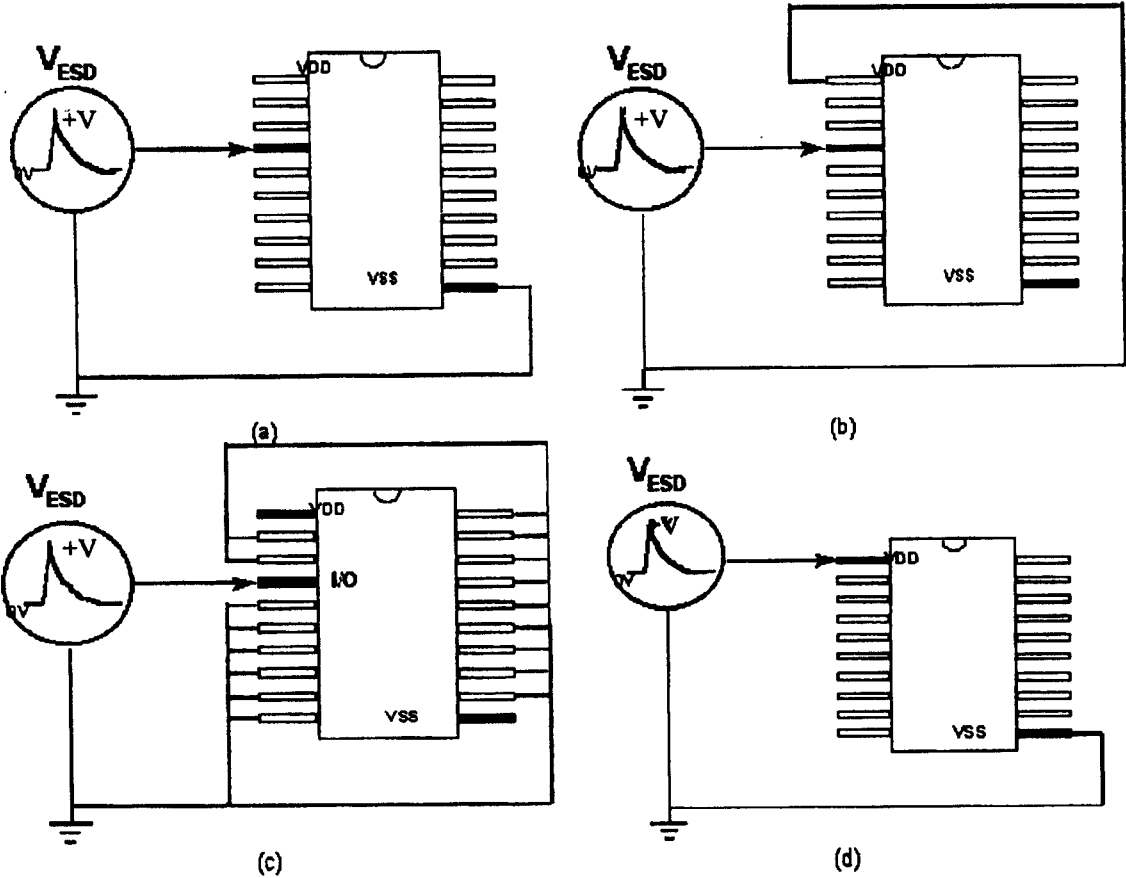


图 1

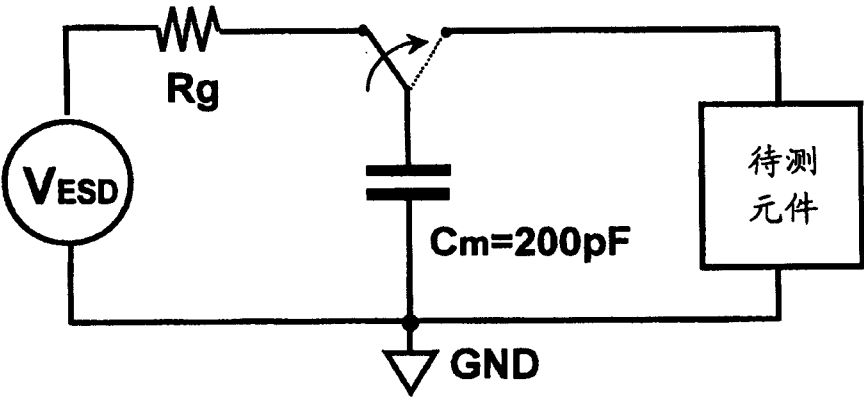


图 2

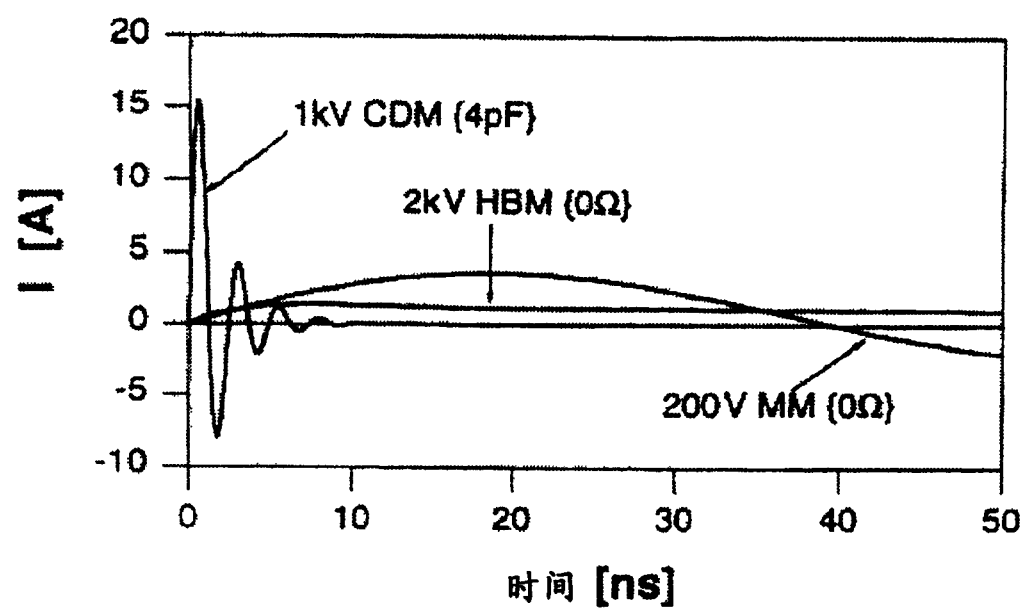


图 3

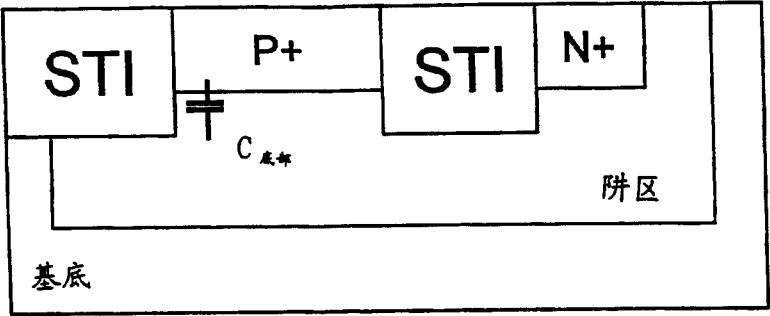


图 4A

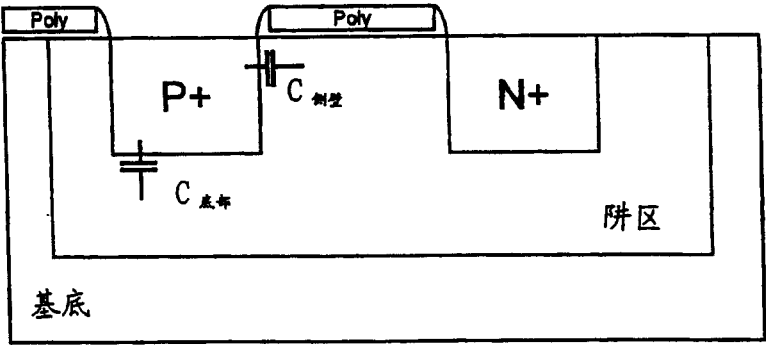


图 4B

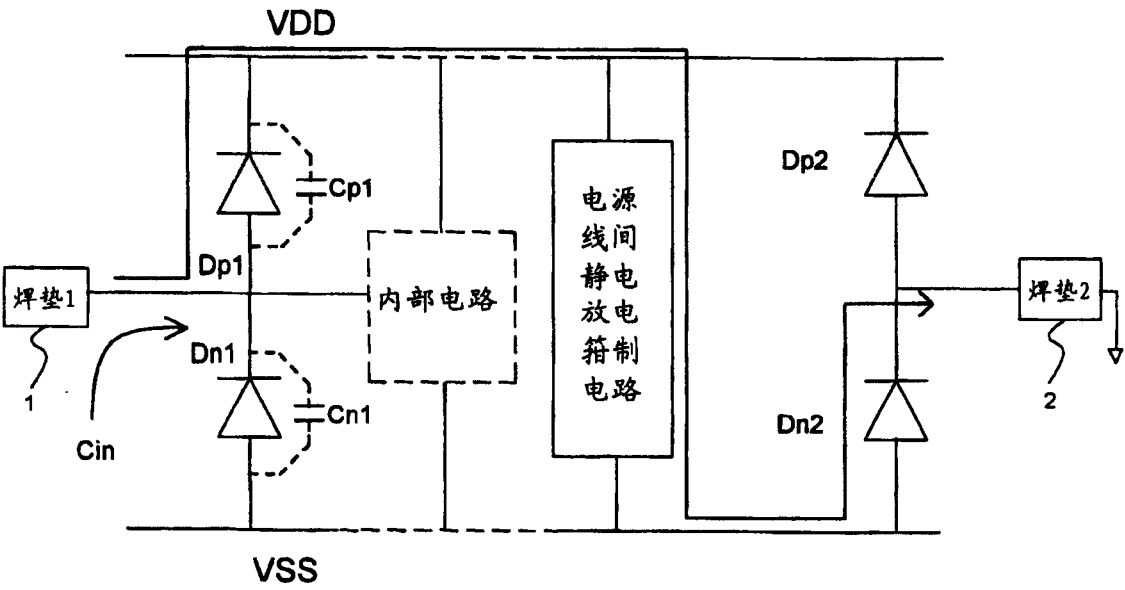


图 5

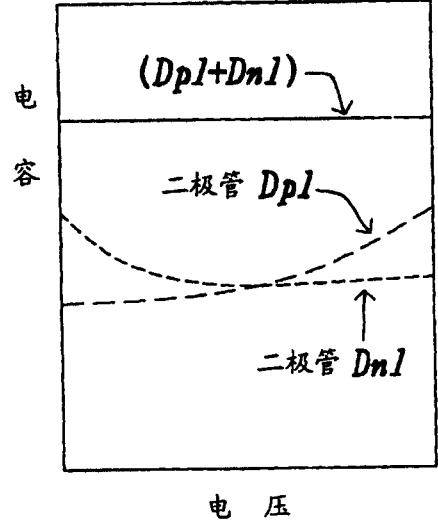


图 6

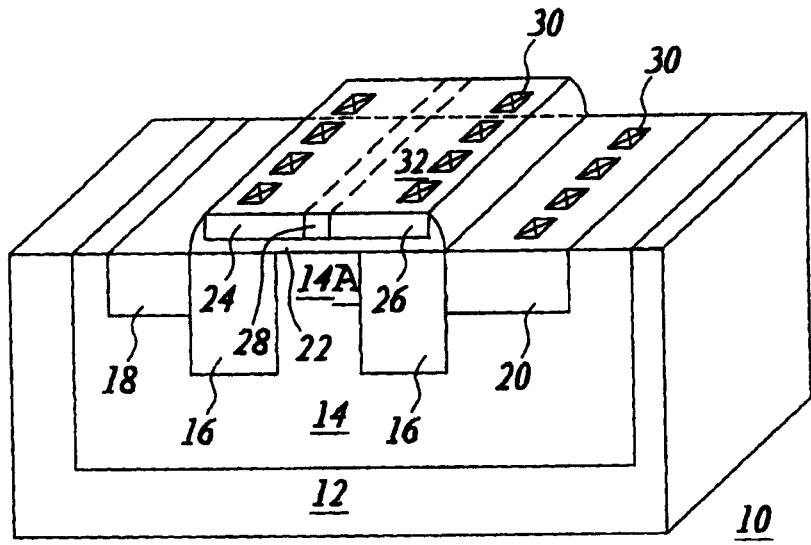


图 7

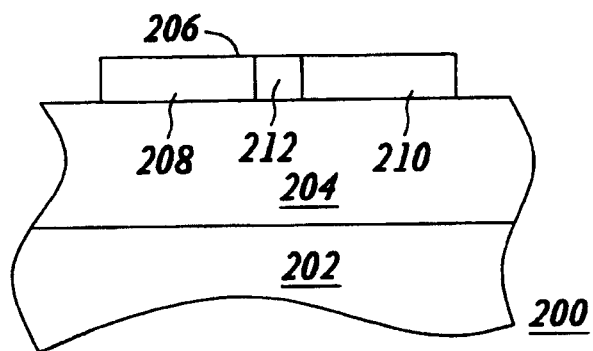


图 8

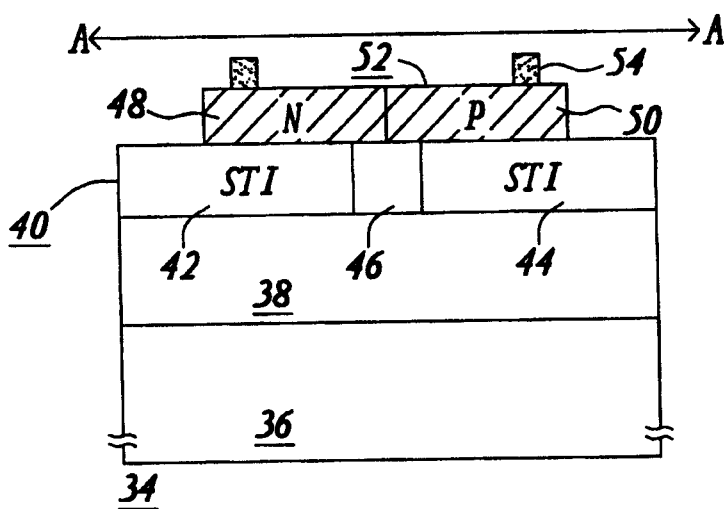


图 9

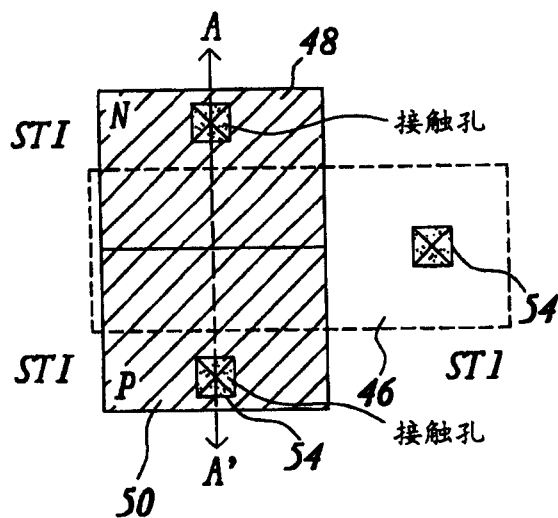


图 10

图 11A

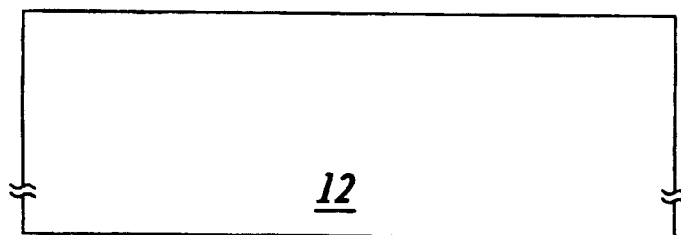


图 11B

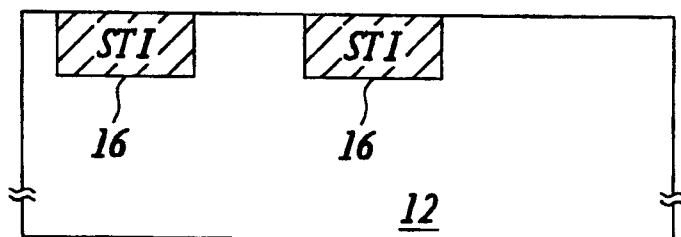


图 11C

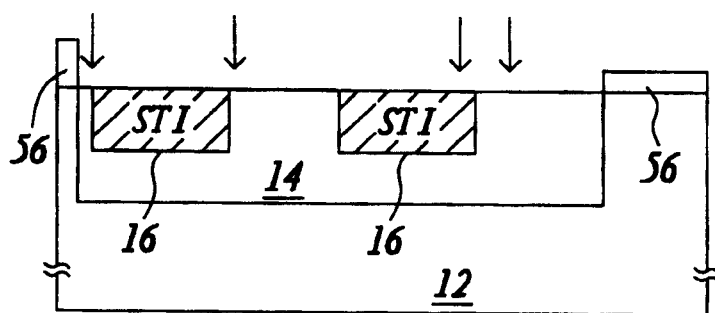


图 11D

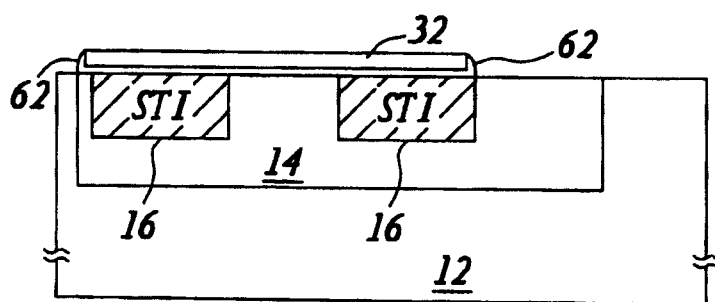


图 11E

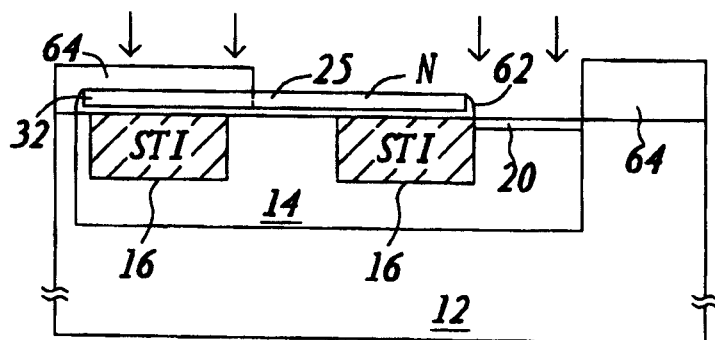


图 11F

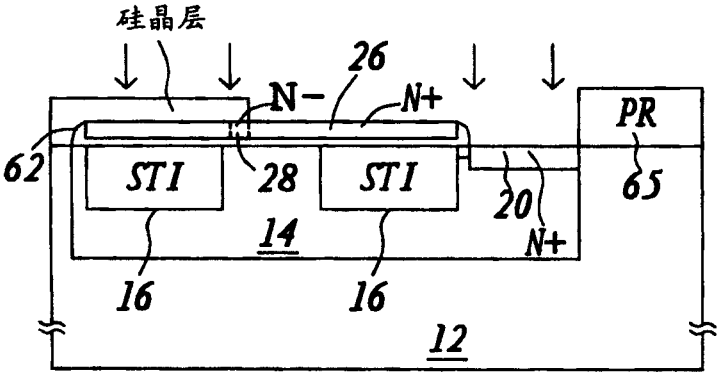


图 11G

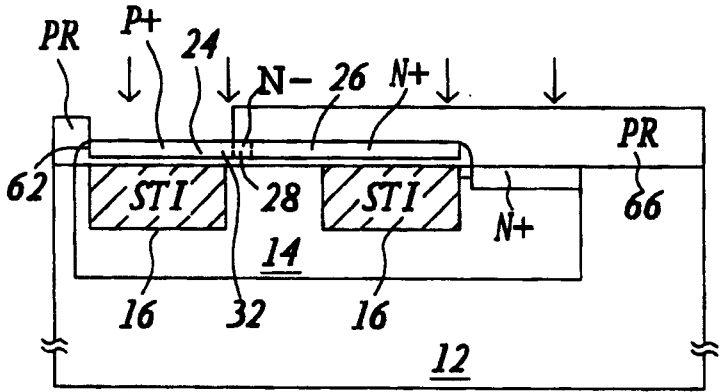


图 11H

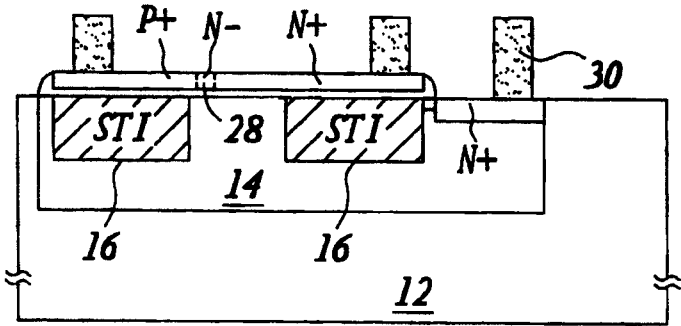


图 12A

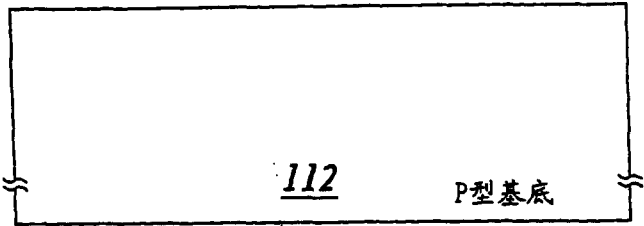


图 12B

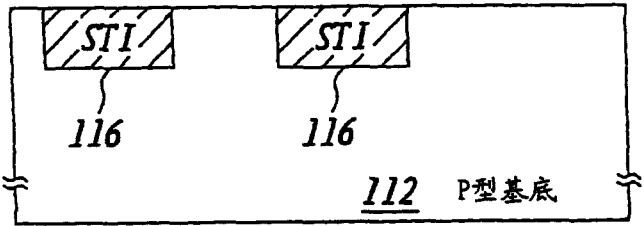


图 12C

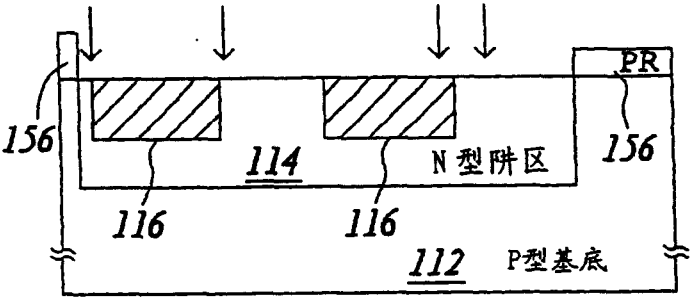


图 12D

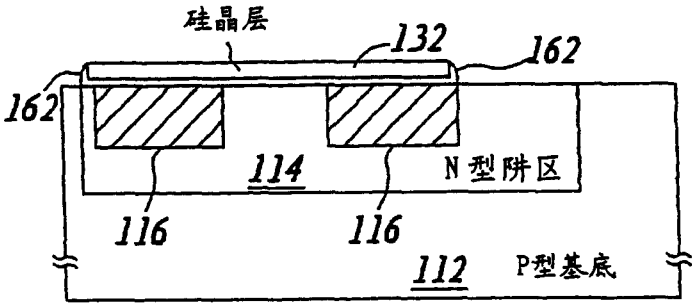


图 12E

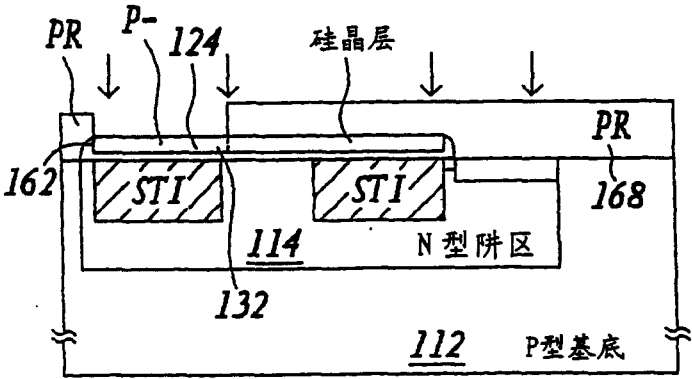


图 12F

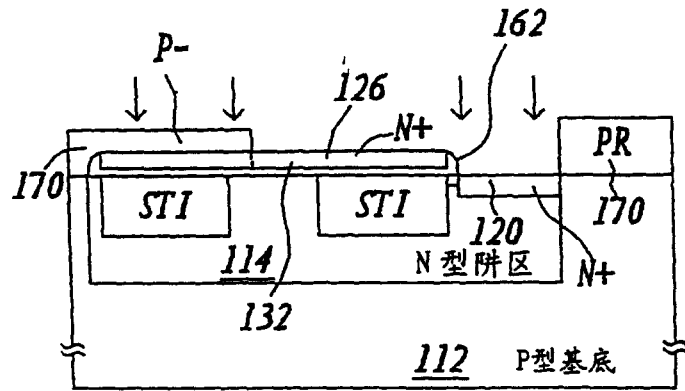


图 12G

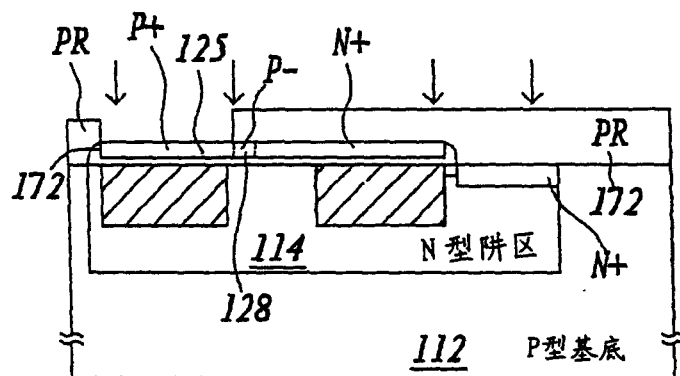
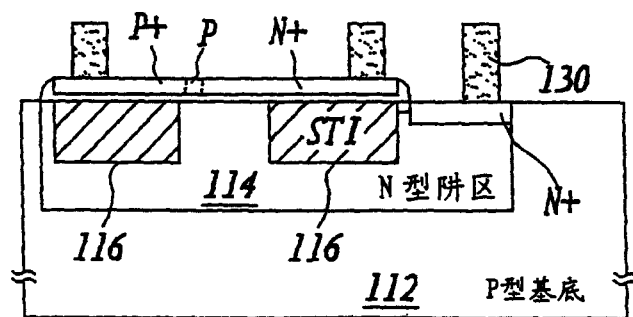


图 12H



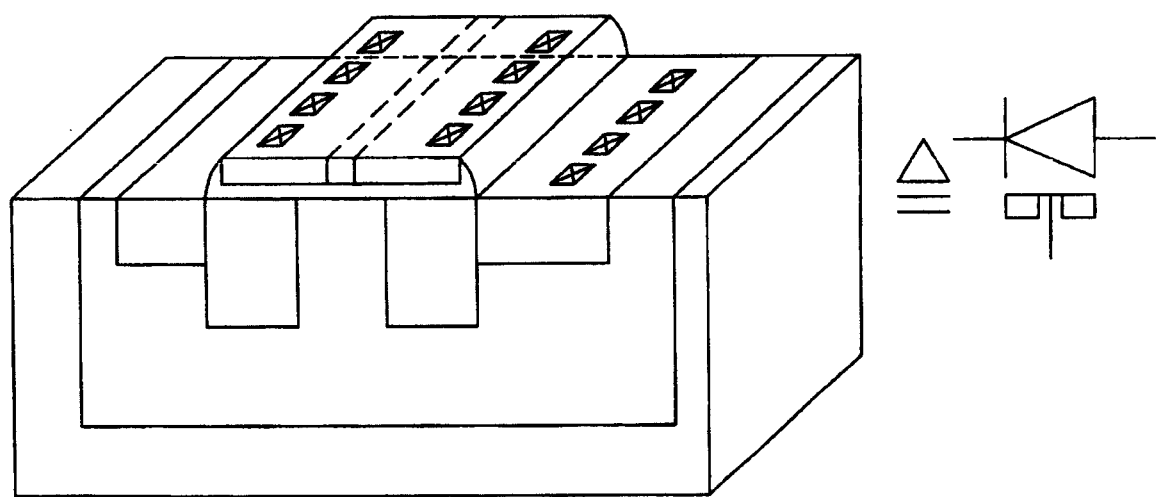


图 13

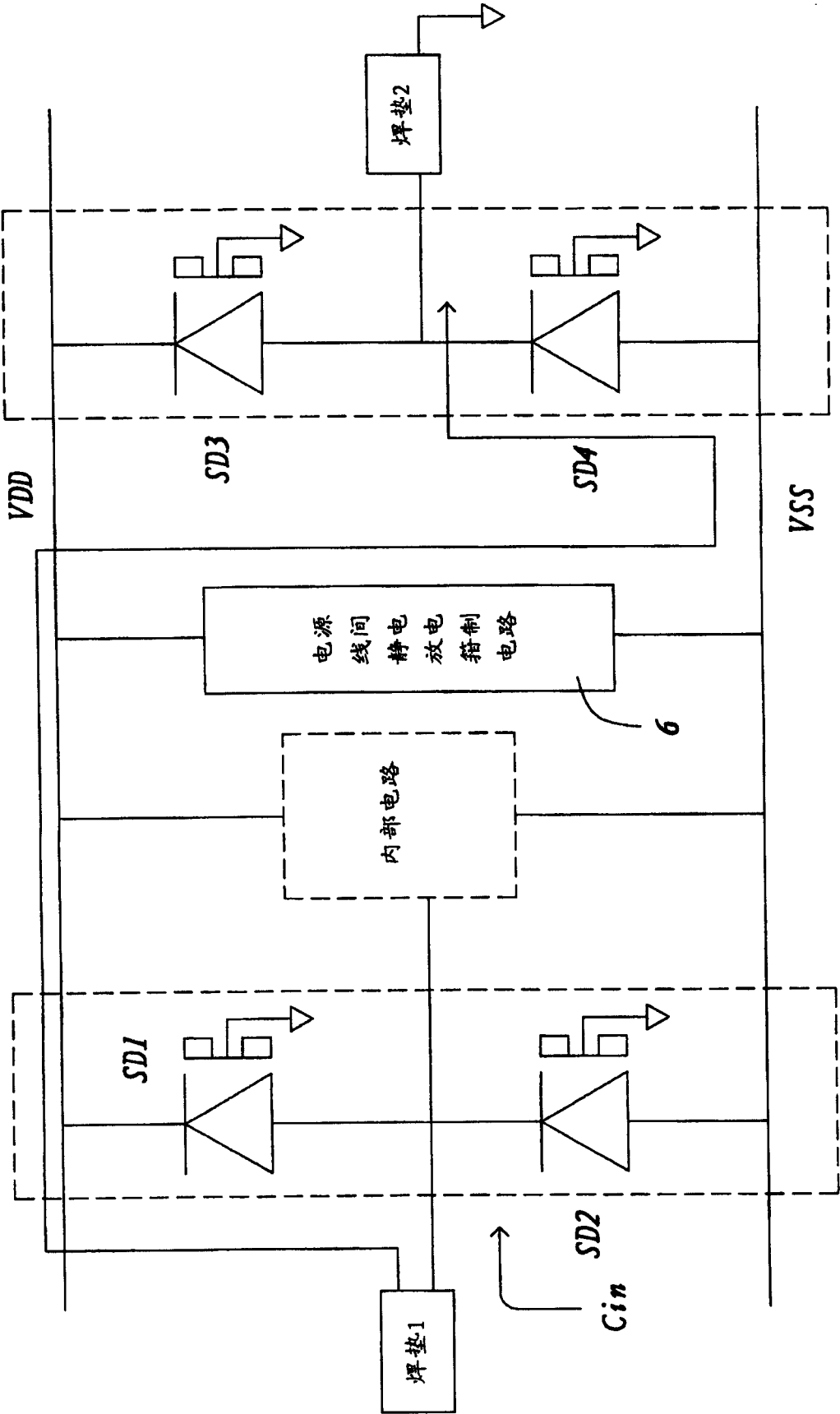


图 14

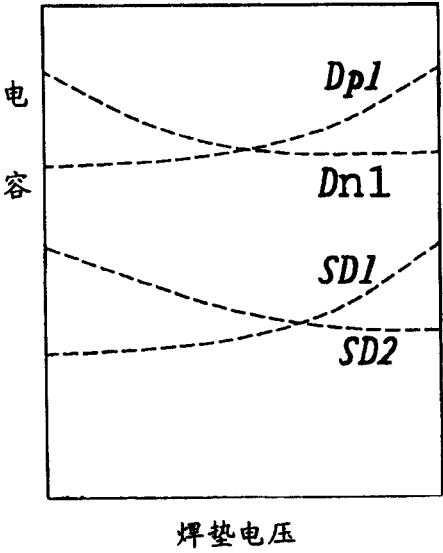


图 15A

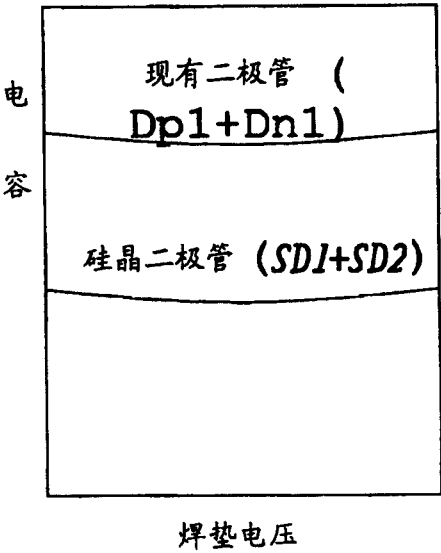


图 15B

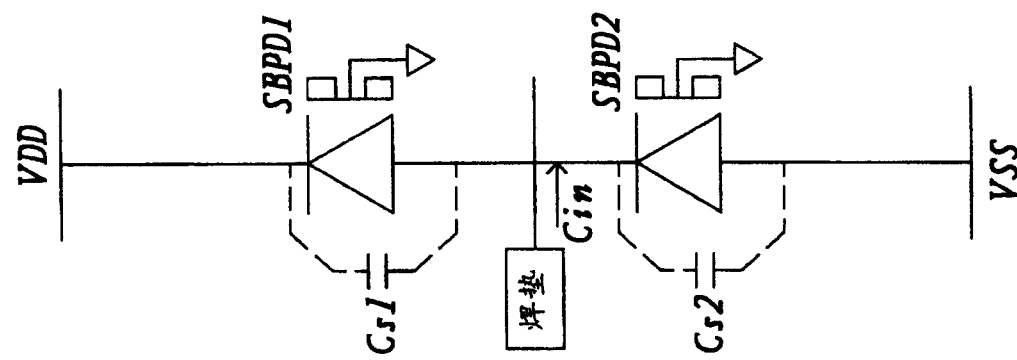


图 16A

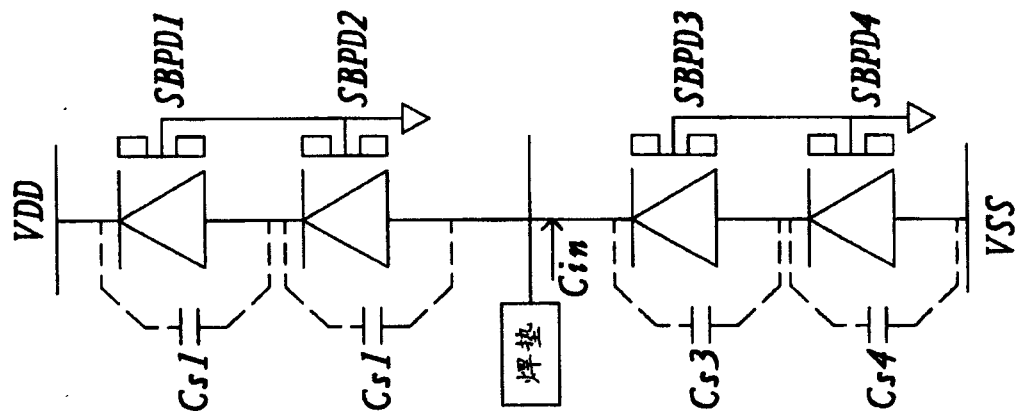


图 16B

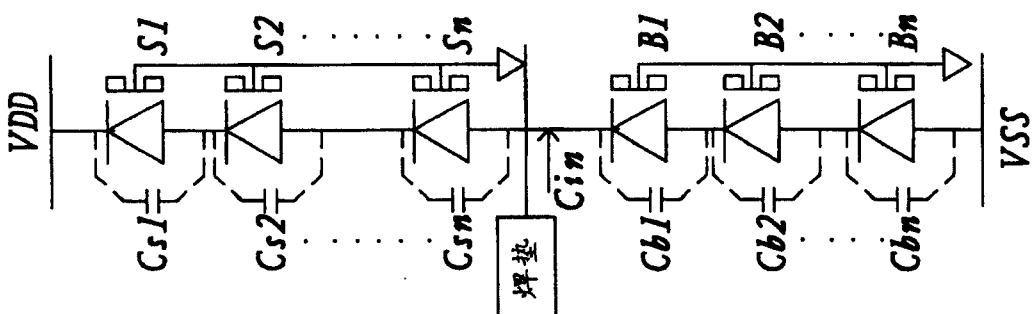


图 16C

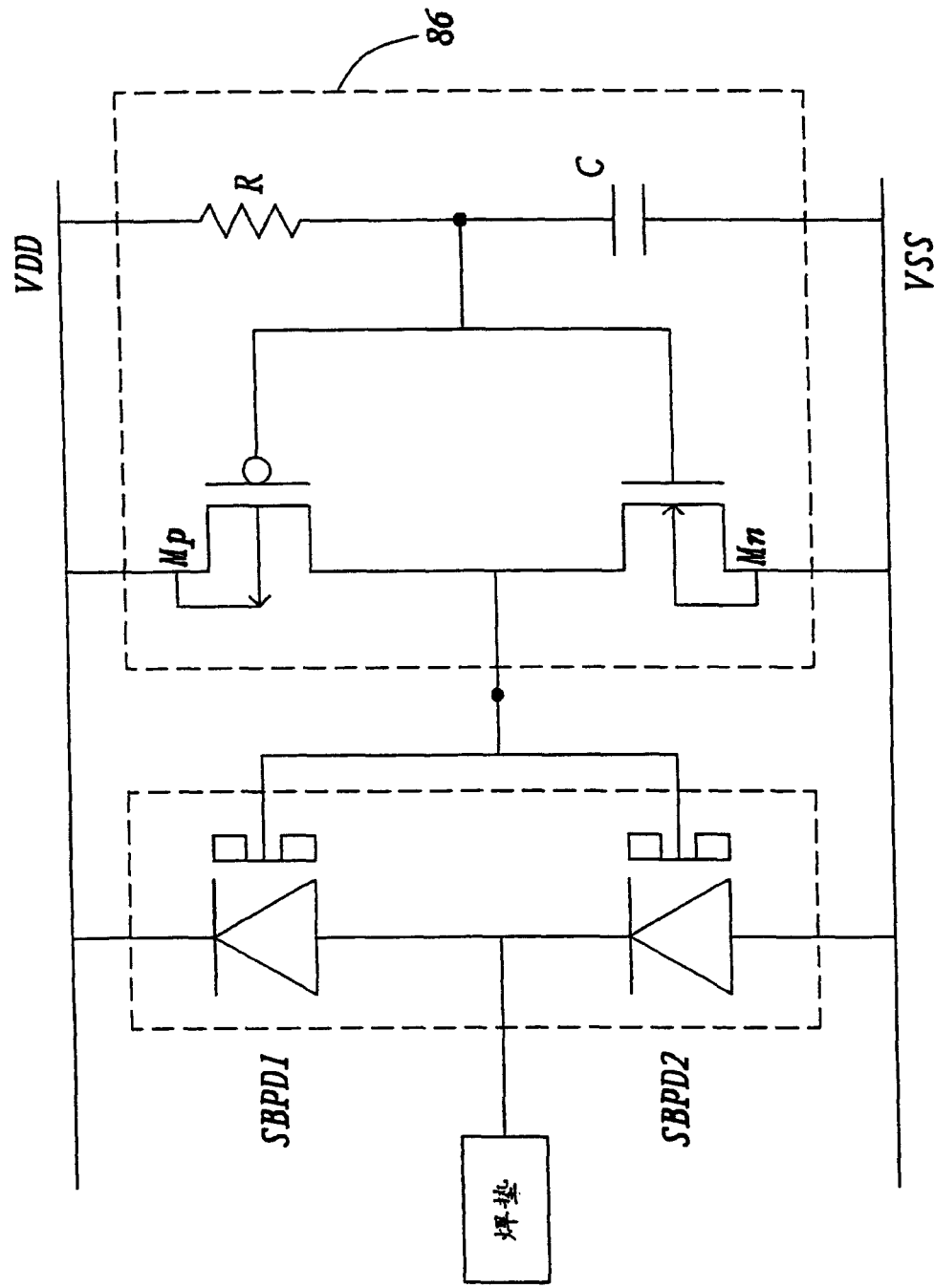


图 17

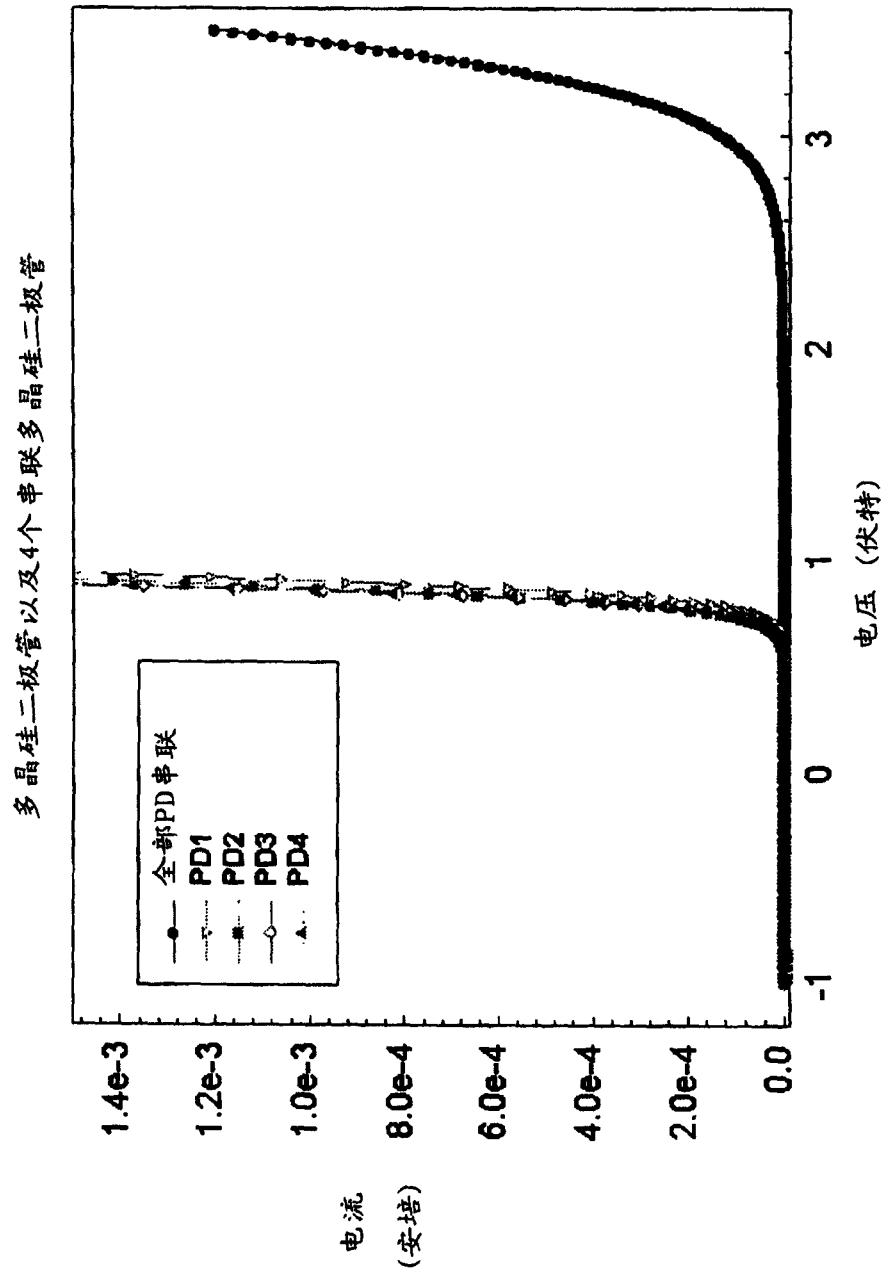


图 18

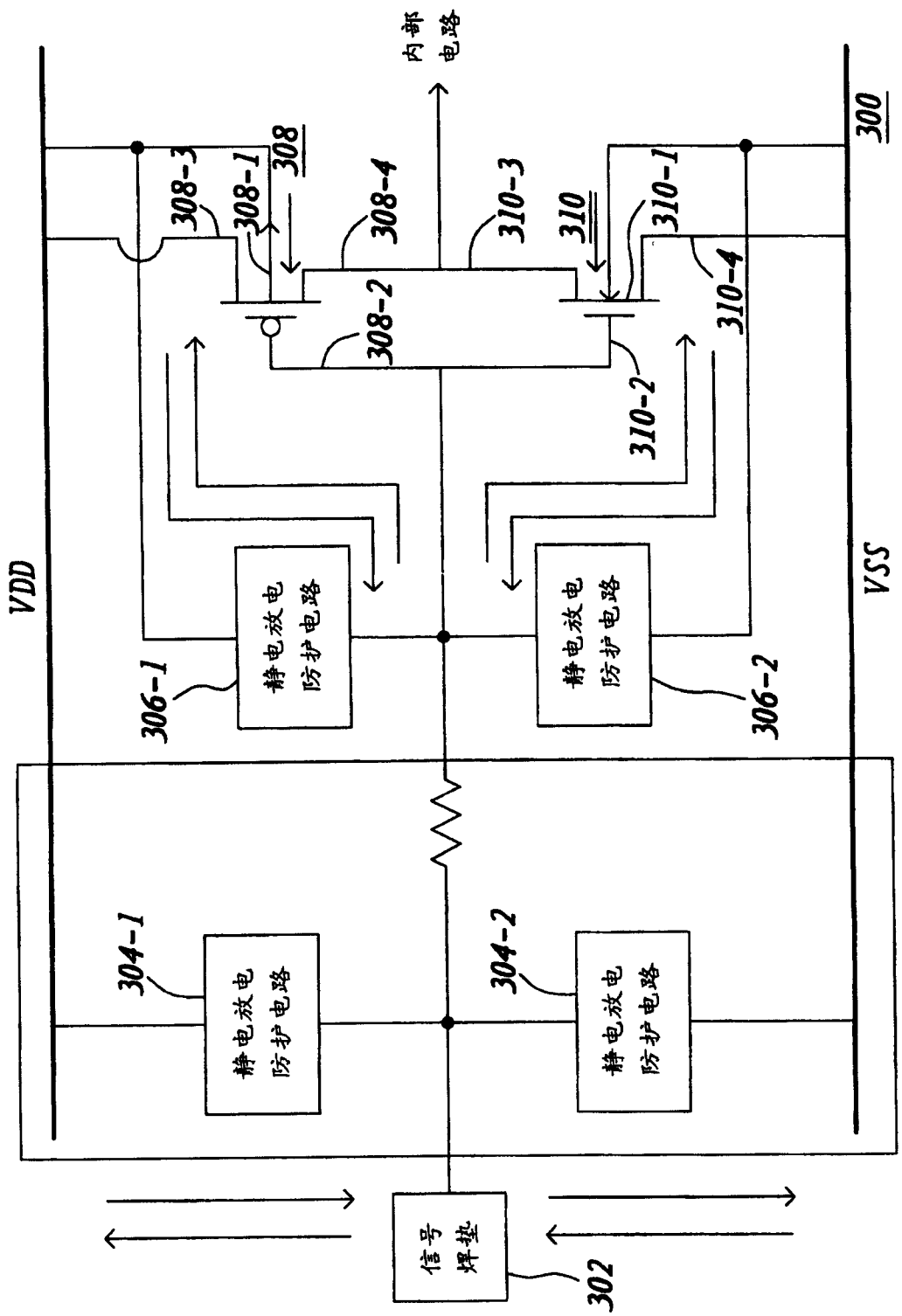


图 19

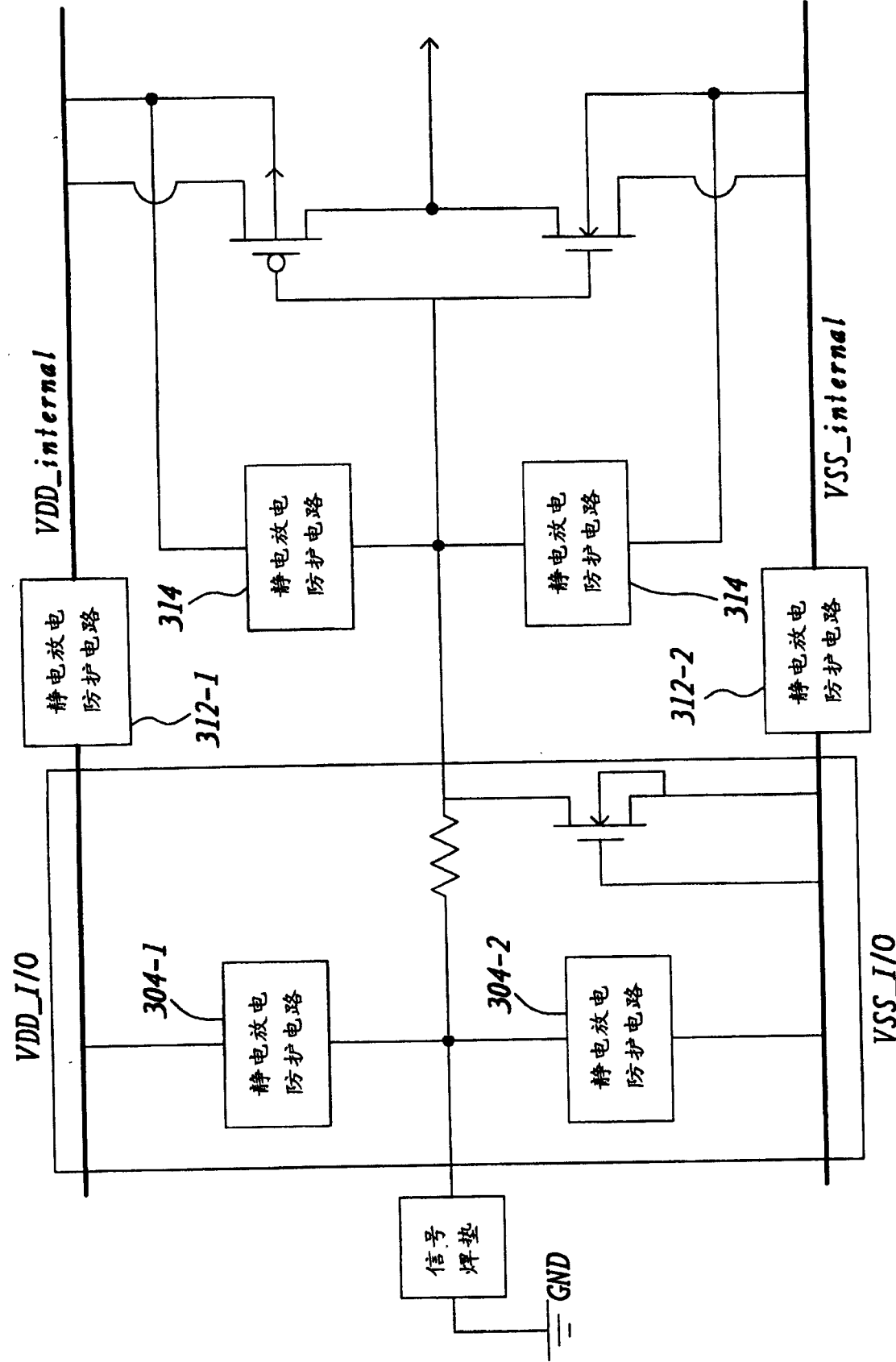


图 20

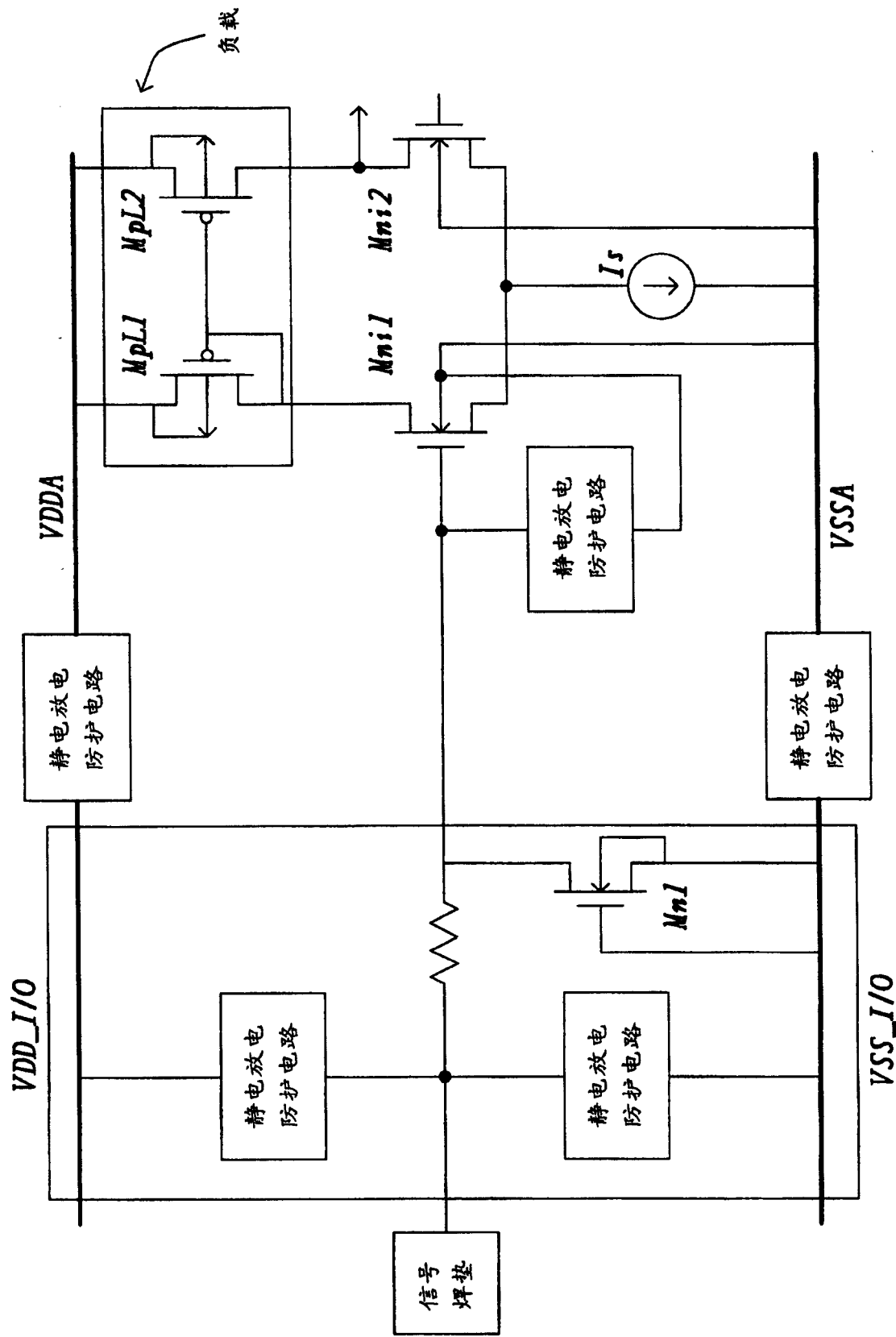
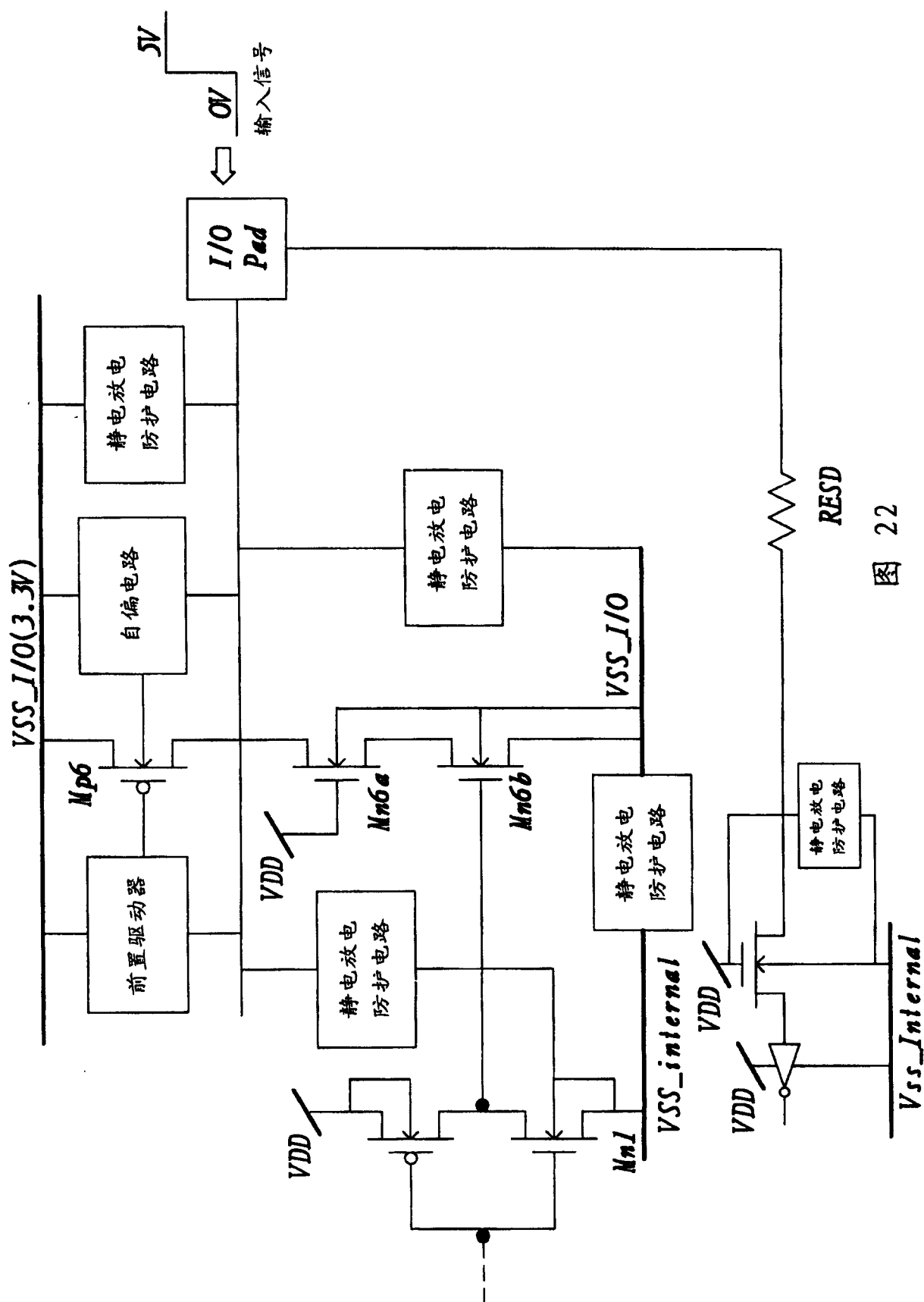


图 21



22